

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-022458

(43)Date of publication of application : 23.01.1998

(51)Int.Cl.

H01L 27/04  
H01L 21/822  
H01L 23/522  
H01L 25/00

(21)Application number : 08-174985

(71)Applicant : FUJITSU LTD

(22)Date of filing : 04.07.1996

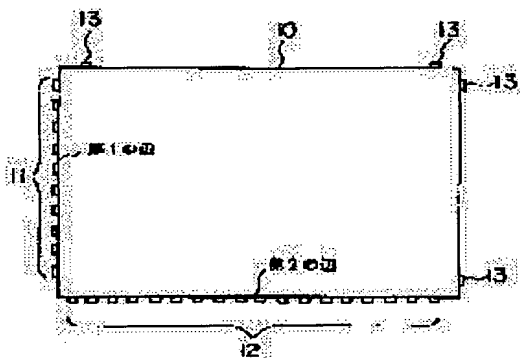
(72)Inventor : HIGUCHI TAKESHI  
OKAJIMA YOSHINORI

## (54) SEMICONDUCTOR DEVICE AND PIN ARRAY

## (57)Abstract:

PROBLEM TO BE SOLVED: To simplify the wiring of a board on which a semiconductor device is mounted, by providing a plurality of first pins on a first side of a semiconductor device and providing a plurality of second pins on a second side of the semiconductor device which is perpendicular to the first side.

SOLUTION: Control signal pins 11 as a plurality of first pins for inputting a control signal for controlling a semiconductor device 10 and an address signal are arranged on a first side of the semiconductor device 10. On a second side perpendicular to the first side, data input/output pins 12 as a plurality of second pins including a data input dedicated pin, a data output dedicated pin and a data input/output pin are arranged. Thus, each semiconductor device 10 or semiconductor chip may be connected, using a small number of wiring layers or a simple wiring pattern. Also, the signal wiring thus wired has no branch, and signal reflection may be restrained.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

**THIS PAGE BLANK (USPTO)**

[Date of extinction of right]

Copyright (C); 1998,2000 Japanese Patent Office

**THIS PAGE BLANK (USPTO)**

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-22458

(43) 公開日 平成10年(1998) 1月23日

(51) Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 27/04			H 0 1 L 27/04	E
21/822			25/00	A
23/522			23/52	B
25/00				

審査請求 未請求 請求項の数18 O L (全 9 頁)

(21) 出願番号 特願平8-174985

(22) 出願日 平成 8 年(1996) 7 月 4 日

(71) 出願人 000005223  
富士通株式会社  
神奈川県川崎市中原区上小田中 4 丁目 1 番  
1 号  
(72) 発明者 樋口 剛  
神奈川県川崎市中原区上小田中 4 丁目 1 番  
1 号 富士通株式会社内  
(72) 発明者 岡島 義彦  
神奈川県川崎市中原区上小田中 4 丁目 1 番  
1 号 富士通株式会社内  
(74) 代理人 弁理士 伊東 忠彦

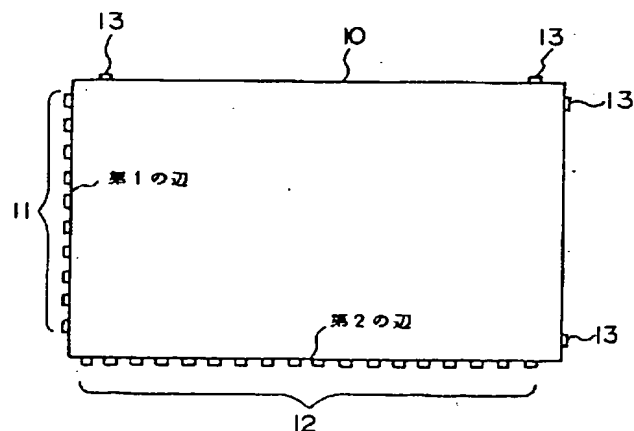
(54) 【発明の名称】 半導体装置及びピン配列

(57) 【要約】

【課題】 本発明は、半導体装置を実装する基板の配線を単純化することを目的とする。

【解決手段】 同一品種の他半導体装置と接続される半導体装置は、半導体装置の第 1 の辺に設けられ他半導体装置と共通の信号が入力される複数の第 1 のピンと、第 1 の辺と直交する半導体装置の第 2 の辺に設けられ他半導体装置に接続されていない信号線と接続されている複数の第 2 のピンを含むことを特徴とする。

本発明の原理による半導体装置のピン配列を示す図



## 【特許請求の範囲】

【請求項 1】 同一品種の他半導体装置と接続される半導体装置であって、

該半導体装置の第 1 の辺に設けられ該他半導体装置と共通の信号が入力される複数の第 1 のピンと；該第 1 の辺と直交する該半導体装置の第 2 の辺に設けられ該他半導体装置に接続されていない信号線と接続されている複数の第 2 のピンを含むことを特徴とする半導体装置。

【請求項 2】 前記第 1 の辺、前記第 2 の辺、該第 1 の辺と対抗する第 3 の辺、及び該第 2 の辺と対抗する第 4 の辺の少なくともいずれかに電源ピンが設けられていることを特徴とする請求項 1 記載の半導体装置。

【請求項 3】 前記複数の第 2 のピンは、信号入力専用のピン、信号出力専用のピン、信号入出力兼用のピンの少なくとも一種を含むことを特徴とする請求項 1 記載の半導体装置。

【請求項 4】 前記複数の第 1 のピンには制御信号が入力され、前記複数の第 2 のピンに対してはデータ信号線が接続されることを特徴とする請求項 1 記載の半導体装置。

【請求項 5】 前記制御信号は、アドレス信号又は該半導体装置が動作するために使用するクロック信号のうち少なくとも一方を含むことを特徴とする請求項 4 記載の半導体装置。

【請求項 6】 前記第 2 の辺に、該半導体装置内で生成したクロック信号を出力するための第 3 のピンが設けられていることを特徴とする請求項 1 記載の半導体装置。

【請求項 7】 前記第 2 の辺に該他半導体装置からの出力信号を受けるための第 4 のピンが設けられていることを特徴とする請求項 1 記載の半導体装置。

【請求項 8】 前記第 4 のピンは、前記第 2 の辺の他半導体装置側の端部に設けられていることを特徴とする請求項 7 記載の半導体装置。

【請求項 9】 前記半導体装置は半導体メモリ素子であることを特徴とする請求項 4 記載の半導体装置。

【請求項 10】 半導体チップを収容するパッケージが、該パッケージの第 1 の辺に設けられ制御信号が入力される複数の第 1 のピンと；該第 1 の辺と直交する該パッケージの第 2 の辺に設けられデータ入出力に用いられる複数の第 2 のピンを含むことを特徴とする半導体装置。

【請求項 11】 前記制御信号は、アドレス信号又は該半導体装置が動作するために使用するクロック信号のうち少なくとも一方を含むことを特徴とする請求項 10 記載の半導体装置。

【請求項 12】 前記第 2 の辺に、該半導体装置内で生成したクロック信号を出力するための第 3 のピンが設けられていることを特徴とする請求項 10 記載の半導体装置。

【請求項 13】 前記第 1 の辺、前記第 2 の辺、該第 1

の辺と対抗する第 3 の辺、及び該第 2 の辺と対抗する第 4 の辺の少なくともいずれかに電源ピンが設けられていることを特徴とする請求項 10 記載の半導体装置。

【請求項 14】 基板と；該基板に設けられ第 1 の方向に直線状に延在する第 1 の信号配線と；該第 1 の信号配線に共通に接続される複数の半導体パッケージと；該基板に設けられ該第 1 の方向と略直交する第 2 の方向に延在し、該複数の半導体パッケージの各々に対して個別に設けられた複数の第 2 の信号配線を含み、該複数の半導体パッケージの各々は、

第 1 の辺に設けられ該第 1 の信号配線に接続される第 1 のピンと；該第 1 の辺と直交する第 2 の辺に設けられ該第 2 の信号配線に接続される第 2 のピンを含むことを特徴とする装置。

【請求項 15】 該半導体パッケージの各々は電源用ピンを有し、該電源用ピンは、前記基板に於て前記第 1 及び第 2 の信号配線とは異なる為に設けられた電源配線を接続されていることを特徴とする請求項 14 記載の装置。

【請求項 16】 前記半導体パッケージは半導体メモリ装置であり、前記第 1 の信号配線は前記半導体メモリ装置に対する制御信号の入力に用いられ、前記第 2 の信号配線は該半導体メモリ装置に対するデータ入出力に用いられることを特徴とする請求項 14 記載の装置。

【請求項 17】 前記第 1 の信号配線と前記第 2 の信号配線とは、前記基板の一边に一列に配列された端子部分を含むことを特徴とする請求項 14 記載の装置。

【請求項 18】 複数の半導体装置であって各々が、第 1 の基板と；該第 1 の基板に設けられ第 1 の方向に直線状に延在する第 1 の信号配線と；該第 1 の信号配線に共通に接続される複数の半導体パッケージと；該第 1 の基板に設けられ該第 1 の方向と略直交する第 2 の方向に延在し、該複数の半導体パッケージの各々に対して個別に設けられた複数の第 2 の信号配線と；該第 1 の基板の一边に一列に配置され該第 1 の信号配線と該第 2 の信号配線とに接続される端子を含む複数の半導体装置と；該複数の半導体装置が実装される第 2 の基板と；該第 2 の基板上に設けられ、該端子を介して該複数の半導体装置を並列に接続する第 3 の信号配線を含み、該複数の半導体パッケージの各々は、第 1 の辺に設けられ該第 1 の信号配線に接続される第 1 のピンと、該第 1 の辺と直交する第 2 の辺に設けられ該第 2 の信号配線に接続される第 2 のピンを含むことを特徴とする装置。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置及び半導体装置を用いたシステムに関し、詳しくは半導体装置及び半導体装置を用いたシステムに於けるピン配置に関する。

【0002】

【従来の技術】半導体装置を実装した基板には低コスト化が要求される一方で、各半導体装置の動作及び半導体装置間のデータ伝送には高速化が要求される。そのため半導体装置間を接続するバスには、高周波数で信号を伝達させてデータ伝送を行う必要がある。

【0003】従来の半導体装置のピン配置は、四角形のチップの1辺に等間隔にピンが並んでいる構造、四角形のチップの向かい合う2辺に等間隔にピンが並んでいる構造、四角形のチップの4辺に等間隔にピンが並んでいる構造、四角形のチップの下面にピンが配置されている構造が主であった。

【0004】

【発明が解決しようとする課題】四角形のチップの1辺だけにピンが並んでいる構造は、ピンの本数が制限されるために数多くのピンを配置できず、結果として基板上の単位面積あたりのピンの本数が少なくなる。また四角形のチップの2辺以上にピンが並んでいる構造或いは四角形のチップの下面にピンが配置されている構造に於ては、同一の半導体装置を複数並べて配置した場合に、各種の信号線が複雑にいり込むことになる。この場合、信号線の配線のために多くの配線層を必要とすると共に、配線の枝分れが多くなることになる。

【0005】このように配線パターンが複雑になり枝分れが多くなると、信号が配線上を伝播する際の反射が無視できなくなり、高速なデータ伝送即ち高周波数による信号伝達に悪影響を与える。また配線層の増加及び配線パターンの複雑化が、半導体装置基板のコスト上昇につながってしまう。

【0006】従って本発明は、半導体装置を実装する基板の配線を単純化することを目的とする。

【0007】

【課題を解決するための手段】請求項1の発明に於ては、同一品種の他半導体装置と接続される半導体装置は、該半導体装置の第1の辺に設けられ該他半導体装置と共通の信号が入力される複数の第1のピンと、該第1の辺と直交する該半導体装置の第2の辺に設けられ該他半導体装置に接続されていない信号線と接続されている複数の第2のピンを含むことを特徴とする。

【0008】請求項2の発明に於ては、請求項1記載の半導体装置に於て、前記第1の辺、前記第2の辺、該第1の辺と対抗する第3の辺、及び該第2の辺と対抗する第4の辺の少なくともいずれかに電源ピンが設けられていることを特徴とする。請求項3の発明に於ては、請求項1記載の半導体装置に於て、前記複数の第2のピンは、信号入力専用のピン、信号出力専用のピン、信号入出力兼用のピンの少なくとも一種を含むことを特徴とする。

【0009】請求項4の発明に於ては、請求項1記載の半導体装置に於て、前記複数の第1のピンには制御信号が入力され、前記複数の第2のピンに対してはデータ信

号線が接続されることを特徴とする。請求項5の発明に於ては、請求項4記載の半導体装置に於て、前記制御信号は、アドレス信号又は該半導体装置が動作するために使用するクロック信号のうち少なくとも一方を含むことを特徴とする。

【0010】請求項6の発明に於ては、請求項1記載の半導体装置に於て、前記第2の辺に、該半導体装置内で生成したクロック信号を出力するための第3のピンが設けられていることを特徴とする。請求項7の発明に於ては、請求項1記載の半導体装置に於て、前記第2の辺に該他半導体装置からの出力信号を受けるための第4のピンが設けられていることを特徴とする。

【0011】請求項8の発明に於ては、請求項7記載の半導体装置に於て、前記第4のピンは、前記第2の辺の他半導体装置側の端部に設けられていることを特徴とする。請求項9の発明に於ては、請求項4記載の半導体装置に於て、前記半導体装置は半導体メモリ素子であることを特徴とする。

【0012】請求項10の発明に於ては、半導体装置は、半導体チップを収容するパッケージが、該パッケージの第1の辺に設けられ制御信号が入力される複数の第1のピンと、該第1の辺と直交する該パッケージの第2の辺に設けられデータ入出力に用いられる複数の第2のピンを含むことを特徴とする。

【0013】請求項11の発明に於ては、請求項10記載の半導体装置に於て、前記制御信号は、アドレス信号又は該半導体装置が動作するために使用するクロック信号のうち少なくとも一方を含むことを特徴とする。請求項12の発明に於ては、請求項10記載の半導体装置に於て、前記第2の辺に、該半導体装置内で生成したクロック信号を出力するための第3のピンが設けられていることを特徴とする。

【0014】請求項13の発明に於ては、請求項10記載の半導体装置に於て、前記第1の辺、前記第2の辺、該第1の辺と対抗する第3の辺、及び該第2の辺と対抗する第4の辺の少なくともいずれかに電源ピンが設けられていることを特徴とする。請求項14の発明の装置は、基板と、該基板に設けられ第1の方向に直線状に延在する第1の信号配線と、該第1の信号配線に共通に接続される複数の半導体パッケージと、該基板に設けられ該第1の方向と略直交する第2の方向に延在し、該複数の半導体パッケージの各々に対して個別に設けられた複数の第2の信号配線を含み、該複数の半導体パッケージの各々は、第1の辺に設けられ該第1の信号配線に接続される第1のピンと、該第1の辺と直交する第2の辺に設けられ該第2の信号配線に接続される第2のピンを含むことを特徴とする。

【0015】請求項15の発明に於ては、請求項14記載の装置に於て、該半導体パッケージの各々は電源用ピンを有し、該電源用ピンは、前記基板に於て前記第1及

び第2の信号配線とは異なる為に設けられた電源配線を接続されていることを特徴とする。

【0016】請求項16の発明に於ては、請求項14記載の装置に於て、前記半導体パッケージは半導体メモリ装置であり、前記第1の信号配線は前記半導体メモリ装置に対する制御信号の入力に用いられ、前記第2の信号配線は該半導体メモリ装置に対するデータ入出力に用いられることを特徴とする。

【0017】請求項17の発明に於ては、請求項14記載の装置に於て、前記第1の信号配線と前記第2の信号配線とは、前記基板の一边に一直列に配列された端子部分を含むことを特徴とする。請求項18の発明の装置は、複数の半導体装置であつて各々が、第1の基板と、該第1の基板に設けられ第1の方向に直線状に延在する第1の信号配線と、該第1の信号配線に共通に接続される複数の半導体パッケージと、該第1の基板に設けられ該第1の方向と略直交する第2の方向に延在し、該複数の半導体パッケージの各々に対して個別に設けられた複数の第2の信号配線と、該第1の基板の一边に一直列に配置され該第1の信号配線と該第2の信号配線とに接続される端子を含む複数の半導体装置と、該複数の半導体装置が実装される第2の基板と、該第2の基板上に設けられ、該端子を介して該複数の半導体装置を並列に接続する第3の信号配線を含み、該複数の半導体パッケージの各々は、第1の辺に設けられ該第1の信号配線に接続される第1のピンと、該第1の辺と直交する第2の辺に設けられ該第2の信号配線に接続される第2のピンを含むことを特徴とする。

【0018】上記発明に於ては、少ない配線層及び単純な配線パターンで各半導体装置或いは半導体チップを接続することが出来る。またそのように配線された信号配線には枝分かれが無く信号反射を抑えることが出来るので、高周波数での信号伝達即ち高速な動作を実現するに適している。

【0019】

【発明の実施の形態】以下に本発明の原理と実施例を添付の図面を用いて説明する。図1に本発明の原理による半導体装置のピン配置を示す。図1に示される半導体装置10は、第1の辺に配置される複数の制御信号ピン11、第1の辺と直交する第2の辺に配置されるデータ入出力ピン12、及び任意の辺に配置される複数の電源ピン13を含む。本発明の原理に於ては基本的に、複数の半導体装置10を基板上に設けた場合を想定して、全ての半導体装置に共通な信号に対するピンは第1の辺に設け、各半導体装置に個別の信号に対するピンは第2の辺に設ける。即ち、第2の辺に設けられるピンは、他の半導体装置には接続されていない信号線に接続されることになる。尚、ここで半導体装置とは、半導体チップ、或いはより正確には半導体チップ及びそれを格納する半導体パッケージを含む装置である。

【0020】制御信号ピン11は、半導体装置10を制御するための制御信号やアドレス信号（メモリ素子の場合）を入力するために用いられる。本発明の原理に於て第1の辺に設けられるこの制御信号ピン11は、各半導体装置10に共通の信号を供給するためのピンである。第2の辺に設けられるデータ入出力ピン12は、各半導体装置個別の信号を入出力するためのピンであり、一般にデータ信号を入出力するために用いられる。データ入出力ピン12は、データ入力専用のピン、データ出力専用のピン、及び／又はデータ入出力兼用のピンを含むことが出来る。電源ピン13は、半導体装置11に電源電圧及び／又は参照電圧を供給するためのピンであり、第1の辺及び第2の辺を含む任意の辺に配置されてよい。

【0021】図2は、図1の半導体装置10を基板上に並べる際の各半導体装置の配置、及び各半導体装置間の配線を示す図である。図に示されるように基板20上には、制御信号線21が直線に配置される。更に、第1の辺が制御信号線21にまたがるように複数（図では2つ）の半導体装置10が基板20上に配置され、制御信号線21が各半導体装置10の制御信号ピン11に共通に接続される。また基板20上にはバス配線22が配線され、各半導体装置10のデータ入出力ピン12に接続される。なお図2に於て、半導体装置の下を通過している配線は、半導体装置を透過して示されている。

【0022】図2に於て、各半導体装置10の制御信号ピン11とデータ入出力ピン12は互いに直交する辺に設けられているので、制御信号ピン11に信号を供給する制御信号線21を直線に配置しても、制御信号線21上にデータ入出力ピン12が位置されない。従つて、制御信号線21を直線に配線しながらも、バス配線22と制御信号線21とが交差することがない。

【0023】図3は、図1の半導体装置10を基板上に並べる際の各半導体装置の配置及び電源ピン13に対する電源配線を点線で示す。一般に半導体装置に於ては、半導体装置内部での電源用配線を必要最小限に抑えるために、半導体装置外部の様々な位置に電源ピンが設けられる。このような半導体装置を基板上に実装するときには、電源用の配線層が信号用の配線層とは別個に設けられるのが通常である。

【0024】従つて図3に於ても、点線で示される電源配線23は、制御信号線21及びバス配線22（図2）とは別の層に配線される。つまり電源は従来の技術と同様に配線されるのであり、本発明の原理は、電源以外の信号線（制御信号用及びデータ信号用）を単純な配線パターンかつ少ない配線層で提供することを目的とする。従つて上述のように、電源ピン13は半導体装置10の任意の辺に設けられてよい。

【0025】このように、本発明の原理によるピン配置に従えば、少ない配線層及び単純な配線パターンで各半導体装置を接続することが出来る。また制御信号配線の



枝分かれが無く信号反射を抑さえることが出来るので、高周波数での信号伝達即ち高速な動作を実現するに適している。

【0026】図4は本発明のピン配置による第1の実施例を示す。この例においては、半導体装置としてメモリ素子30を想定している。図4に於て、CA0~CA7、SELI、SELO、/RESET、FLAG、LINKONは制御用のピン、SCLK、ECLKはクロック用のピン、VREFは参照電圧用のピン、VDD、VSS、VDDQ、VSSQは電源用のピン、DQ0~DQ15はバス用のピンである。

【0027】ここでピンSCLKは、他の装置がメモリ素子30に供給するクロック（ストロブ）信号を入力するためのピンである。またピンECLKは、メモリ素子30が他の装置に供給するクロック（ストロブ）信号を出力するためのピンである。即ち本実施例に於ては、装置間で伝送するデータの同期を取るためにデータ送出側がデータ受信側にクロックを供給するようなシステムを想定しており、そのようなシステムで用いられるメモリ素子を一例として示してある。

【0028】図4に示されるように、メモリ素子30の第1の辺には、ピンCA0~CA7、SELI、SELO、/RESET、FLAG、及びLINKONの全ての制御用のピンと、電源用のピンVSS及びVDD、参照電圧用のピンVREF、及びクロック用のピンSCLKが配置される。ここでピンSCLKは、上述のようなクロック入力のためのものであり、メモリ素子30を制御する信号の一種であると見做すことが出来る。従って本実施例に於ては、ピンSCLKは第1の辺に設けられている。また制御用のピン以外に、電源用のピンVSS及びVDD並びに参照電圧用のピンVREFが第1の辺に設けられているが、図1の本発明の原理で述べたように、電源ピンはメモリ素子30の任意の辺に設けられてよい。

【0029】またメモリ素子30の第2の辺には、バス用のピンDQ0~DQ15、電源用のピンVDD、VSS、VDDQ、及びVSSQ、更にクロック用のピンECLKが配置される。ここでクロック用のピンECLKは、メモリ素子30から供給されるクロック信号であるので、データの一種であると見做すことが出来る。従って本実施例に於て、ピンECLKは第2の辺に設けられている。また電源用のピンVDD、VSS、VDDQ、及びVSSQは、第1の本発明の原理で述べたように、メモリ素子30の任意の辺に設けられてよい。

【0030】この配置に於ては、制御信号用のピンとバス用（データ入出力）のピンとは、直交する2辺に配置されている。従って、このようなピン配置のメモリ素子30を用いれば、基板上の配線を単純化することが出来る。図5は、図4のメモリ素子30を基板上に並べたSIMM或いはDIMMの一例を示すものであり、各メモ

リ素子の配置及びメモリ素子間の配線が示される。なお図5に於ては電源用の配線は示されていないが、図3に点線で示されたのと同様に、電源用の配線は電源配線専用の配線層を用いて提供される。

【0031】図5に於て、制御信号線41は基本的に、基板40上で直線に配線される。制御信号線41は、外部からの制御信号入力をバッファする入力バッファ43の入力側で略直角に曲がって配線され、入力バッファ43の出力側では直線に配線される。制御信号線41に第1の辺が交差するように、複数（図では2つ）のメモリ素子30が配置される。メモリ素子30の第2の辺からは、バス配線42が基板外部に向かって配線される。

【0032】このように第1の実施例によるピン配置に従えば、少ない配線層及び単純な配線パターンで各メモリ素子30を接続することが出来る。また制御信号配線の枝分かれが無く信号反射を抑さえることが出来るので、高周波数での信号伝達即ち高速な動作を実現することが出来る。

【0033】図6は本発明のピン配置による第2の実施例を示す。この例においては、第1の実施例と同様に半導体装置としてメモリ素子30'を想定している。図6に於て、各ピンの名称は図4のものと同様であり、その説明は省略される。図6に示されるように、メモリ素子30'の第1の辺には、ピンCA0~CA7、/RESET、FLAG、及びLINKONの制御用のピンと、電源用のピンVSS及びVDD、参照電圧用のピンVREF、及びクロック用のピンSCLKが配置される。またメモリ素子30'の第2の辺には、制御用のピンSELI及びSELO、バス用のピンDQ0~DQ15、電源用のピンVDD、VSS、VDDQ、及びVSSQ、更にクロック用のピンECLKが配置される。

【0034】即ち図6に示される第2の実施例によるピン配置に於ては、制御信号用のピンSELI及びSELOが第1の辺ではなく、データ入出力用の辺である第2の辺に設けられている。ピンSELI及びSELOは各チップの初期状態でのIDを設定するためのピンであり、外部のコントローラ等から供給された信号があるメモリ素子30'のピンSELIに入力され、そのメモリ素子30'のピンSELOからの出力が別のメモリ素子30'のピンSELIに入力され、直列接続的に複数のメモリ素子30'に供給される。従って、ピンSELI及びSELOはデータ入出力用のピンと同一の辺に設けられてもよい。

【0035】此処でピンSELI及びSELOは単なる一例であり、重要なのは、信号の性質及び半導体装置（メモリ素子）の接続形態に応じて、第1の辺或いは第2の辺のどちらにピンを設けるか決定するということである。本発明の原理で述べたように、基本的に、全ての半導体装置に共通な信号に対するピンは第1の辺に設け、各半導体装置に個別の信号に対するピンは第2の辺

に設ける。

【0036】図6に示された配置に於ては、制御信号用のピンとバス用（データ入出力）のピンとは、直交する2辺に配置されている。従って、このようなピン配置のメモリ素子30'を用いれば、基板上の配線を単純化することが出来る。図7は、図6のメモリ素子30'を基板上に並べたSIMM或いはDIMMの一例を示すものであり、各メモリ素子の配置及びメモリ素子間の配線が示される。なお図7に於ては電源用の配線は示されていないが、図3に点線で示されたのと同様に、電源用の配線は電源配線専用の配線層を用いて提供される。

【0037】図7に於て、制御信号線41'は基本的に、基板40'上で直線に配線される。制御信号線41'は、外部からの制御信号入力をバッファする入力バッファ43'の入力側で略直角に曲がって配線され、入力バッファ43'の出力側では直線に配線される。制御信号線41'に第1の辺が交差するように、複数（図では2つ）のメモリ素子30'が配置される。メモリ素子30'の第2の辺からは、ピンSELI及びSELOに対する配線44及びバス配線42'が基板外部に向かって配線される。

【0038】このように第2の実施例によるピン配置に従えば、少ない配線層及び単純な配線パターンで各メモリ素子30を接続することが出来る。また制御信号配線の枝分かれが無く信号反射を抑えることが出来るので、高周波数での信号伝達即ち高速な動作を実現することが出来る。

【0039】図8は、図5或いは図7のSIMM（或いはDIMM）を更に別の基板に実装する場合の例を示す。図8（A）に示されるように、制御信号線51及びバス配線52が設けられた基板50上に、SIMM（或いはDIMM）53を実装する。これによって、図8（B）に示されるような配線が実現されることになる。即ち、制御信号線51（基板50上）から直線状に延びる制御信号線41に複数（図では2つ）のメモリ素子30が共通に接続され、またバス配線51（バス配線52）にSIMM53の個数分のメモリ素子30が共通に接続される。

【0040】

【発明の効果】上記発明に於ては、少ない配線層及び単純な配線パターンで各半導体装置或いは半導体チップを接続することが出来る。またそのように配線された信号

配線には枝分かれが無く信号反射を抑えることが出来るので、高周波数での信号伝達即ち高速な動作を実現するに適している。

【図面の簡単な説明】

【図1】本発明の原理による半導体装置のピン配列を示す図である。

【図2】図1の半導体装置を基板状に実装したときの半導体装置の配置及び半導体装置間の配線を示す図である。

【図3】図1の半導体装置を基板状に実装したときの半導体装置の配置及び電源用の配線を示す図である。

【図4】本発明の第1の実施例によるメモリチップのピン配列を示す図である。

【図5】図4のメモリチップを基板上に実装したときのメモリチップの配置及びメモリチップ間の配線を示す図である。

【図6】本発明の第2の実施例によるメモリチップのピン配列を示す図である。

【図7】図6のメモリチップを基板上に実装したときのメモリチップの配置及びメモリチップ間の配線を示す図である。

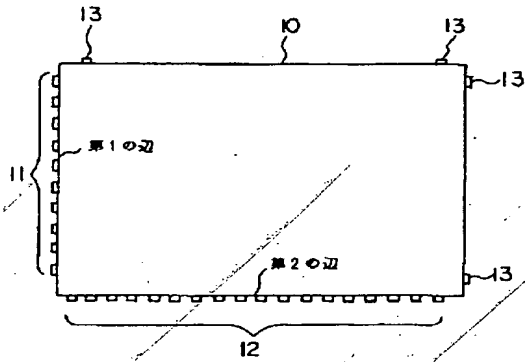
【図8】（A）は図5のSIMM或いはDIMMを更に別の基板に実装した際の配線を示す図であり、（B）は（A）の構成により実現されるメモリチップ間の配線を示した図である。

【符号の説明】

- 10 半導体装置
- 11 制御信号ピン
- 12 データ入出力ピン
- 13 電源ピン
- 20 基板
- 21 制御信号線
- 22 バス配線
- 23 電源配線
- 30、30' メモリ素子
- 40、40' 基板
- 41、41' 制御信号線
- 42、42' バス配線
- 43、43' バッファ
- 50 基板
- 51 制御信号線
- 52 バス配線

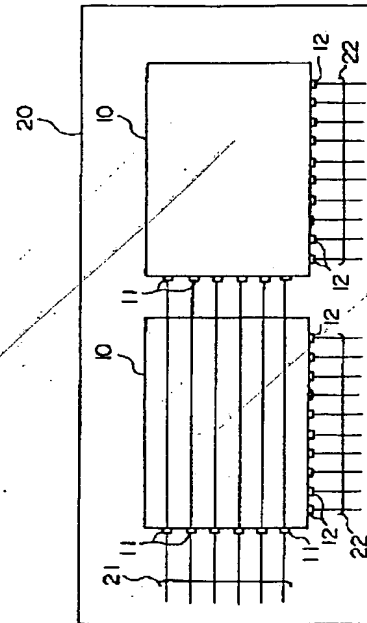
【図 1】

本発明の原理による半導体装置のピン配列を示す図



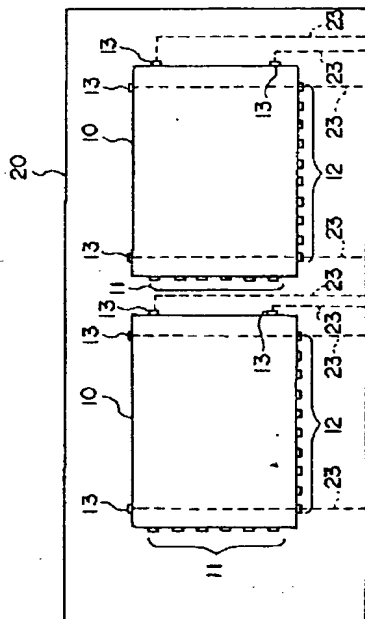
【図 2】

図1の半導体装置を基板状に実装したときの半導体装置の配置及び半導体装置間の配線を示す図



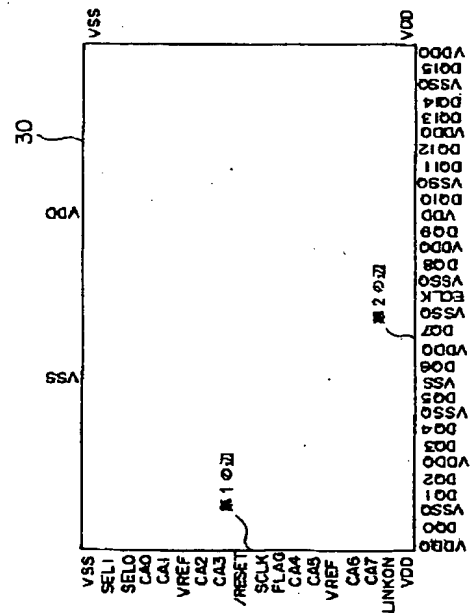
【図 3】

図1の半導体装置を基板状に実装したときの半導体装置の配置及び電源用の配線を示す図



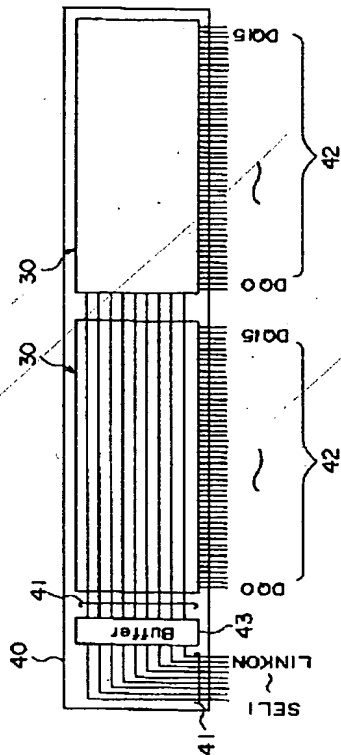
【図 4】

本発明の第1の実施例によるメモリチップのピン配列を示す図



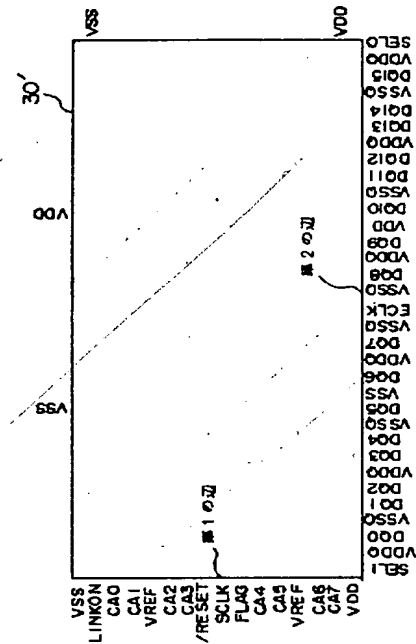
【図 5】

図4のメモリチップを基板上に実装したときのメモリチップの配置及びメモリチップ間の配線を示す図



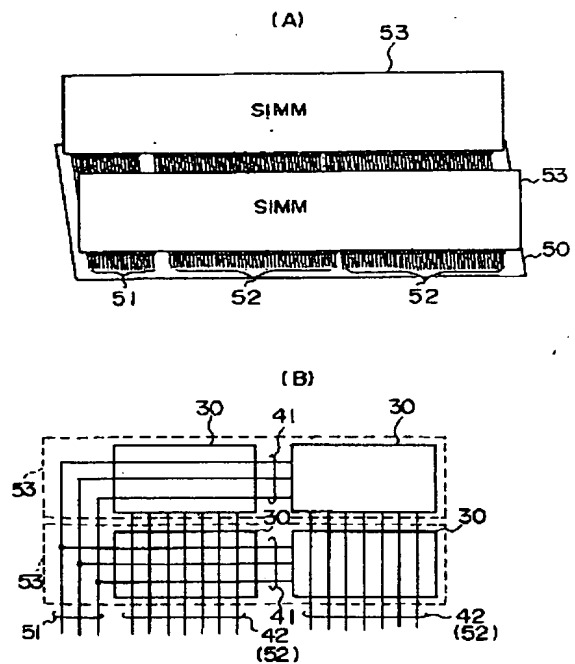
【図 6】

本発明の第 2 の実施例によるメモリチップのピン配列を示す図



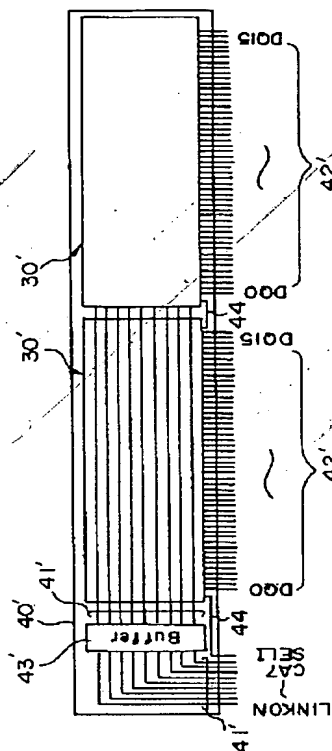
【図 8】

(A)は図5のSIMM或いはDIMMを更に別の基板上に実装した際の配線を示す図であり、(B)は(A)の構成により実現されるメモリチップ間の配線を示した図



【图 7】

図6のメモリチップを基板上に実装したときのメモリチップの配置及びメモリチップ間の配線を示す図



**This Page Blank (uspto)**